

5

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-010461

(43)Date of publication of application : 14.01.2000

(51)Int.Cl.

G09B 5/00  
G09B 7/04

(21)Application number : 10-176469

(71)Applicant : TOKAI UNIV

(22)Date of filing : 23.06.1998

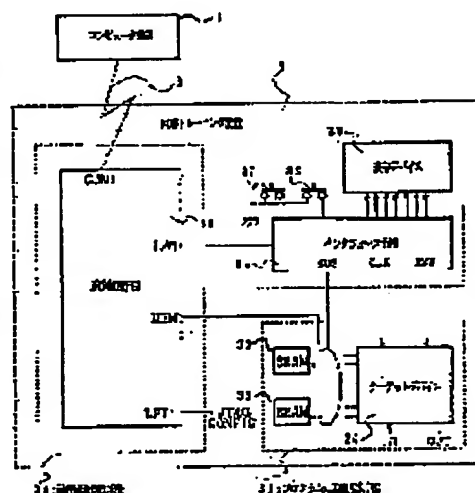
(72)Inventor : SHIMIZU NAOHIKO

## (54) LOGIC CIRCUIT EDUCATION SYSTEM

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To make it possible to reduce a cost, to facilitate information recognition inclusive of time serial information when a logic circuit is time serially operated and to interactively carry out an experiment.

**SOLUTION:** This logic circuit education system consists of a program type logic forming means 31 and a logic observation control means 32 in the logic circuit education system which has the movement of the logic circuit recognized by executing the verification of the operation of the logic circuit by carrying to the designing of the logic circuit. The program type logic forming means 31 has a scan function to embody many and diversified kinds of logic according to logic constitution data and to read the prescribed information from the embodied logic circuit. The logic observation control means 32 imparts the logic constitution data to the program type logic forming means 31, imparts a prescribed signal to the logic circuit embodied in the program type logic forming means 31 and is capable of observing the operation thereof.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]  
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office



## 【特許請求の範囲】

【請求項1】 論理回路の設計を行い当該論理回路の動作の検証を行うことによって論理回路の働きを把握させる論理回路教育システムにおいて、論理構成データに応じて多種多様の論理を実現しかつその実現された論理回路から所定の情報を読み込むスキャン機能を有するプログラム式論理形成手段と、前記プログラム式論理形成手段に論理構成データを与えかつ前記プログラム式論理形成手段に実現された論理回路に所定の信号を与えてその動作を観測できる論理観測制御手段とを備えたことを特徴とする論理回路教育システム。

【請求項2】 前記プログラム式論理形成手段は、外部より与えられた論理構成データを記憶しその論理構成データを基に具体的な論理回路を実現できる手段及びその実現された論理回路の所定の情報を読み込むバウンダリスキャン機能を有するターゲットデバイスからなることを特徴とする請求項1記載の論理回路教育システム。

【請求項3】 前記プログラム式論理形成手段には、前記論理観測制御手段の制御下に書き込み読み出しできるユーザメモリが設けられており、当該ユーザメモリから読み出したデータを他の信号とともに観測に使用可能にしてあることを特徴とする請求項1記載の論理回路教育システム。

【請求項4】 前記ターゲットデバイスは、フィールド・プログラマブル・ゲート・アレイ、フィールド・プログラマブル・ロジック・アレイ、フィールド・プログラマブル・ロジック・シーケンサー、あるいは、プログラマブル・ロジック・アレイであることを特徴とする請求項2記載の論理回路教育システム。

【請求項5】 前記論理観測制御手段は、手動による必要な情報を読み込むとともに表示情報を出力しかつ前記プログラム式論理形成手段との間で作動関連信号の交換をするインタフェース手段と、前記インタフェース手段からの論理構成データの供給及び前記インタフェース手段との間で作動関連信号の交換をし、かつ、前記スキャン機能からのスキャンデータを取込むとともに取り込んだ観測データの編集等を処理する演算処理手段とを備えたことを特徴とする請求項1から4までのいずれかに記載の論理回路教育システム。

【請求項6】 前記演算処理手段は、論理構成データの書換えを行う書換え手段と、所定の数のクロックを供給できるクロック供給手段と、前記ターゲットデバイスのスキャン機能を駆動して実現された論理回路の所定の情報を収集する収集手段と、収集したデータを編集する編集手段と、外部の端末と通信回線を介して接続され当該端末からの論理構成データを取込むとともに編集した観測データを端末に送出する通信手段と前記収集した入出力関係のあらかじめ指定した部分があらかじめ指定した値となったか否かを判定する特定条件判定手段と、動作停止要求によりクロック信号の連続発行を中断する中断

手段とを備えたことを特徴とする請求項5記載の論理回路教育システム。

【請求項7】 前記インタフェース手段には、手動により表現された論理回路を観測するのに必要な信号を入力するスイッチ手段と、実現された論理回路の観測された信号を表示させる表示手段とが接続されていることを特徴とする請求項5または6記載の論理回路教育システム。

【請求項8】 前記端末は、論理回路の設計ができかつ演算処理手段で編集した観測データを表示でき、かつ、通信回線・通信手段を介して演算処理手段に接続されていて通信回線・通信手段によって論理構成データの送り出し、ならびに、観測データの取り込むことができるようにしてなることを特徴とする請求項6記載の論理回路教育システム。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、論理回路の設計を行い当該論理回路の動作の検証を行うことによって論理回路の働きを確実に把握させる論理回路教育システムに関する。

## 【0002】

【従来の技術】一般に、大規模な論理回路を扱うことのできる技術者を養成するためには、実際に回路設計を行なわせ、その設計した論理回路の動作を実際に検証してみるのが非常に効果的であることが分かっている。

【0003】ところで、従来、この種の技術者を養成する教育システムとしては、第1に静的な情報を扱うもの、第2に動的な時系列的な情報を扱うものがあった。

【0004】この第1の静的な情報を扱う教育システムでは、静的な情報を設計した論理回路に与え、その論理回路の出力を発光ダイオード等で表示するといったようなものであった（第1の従来技術）。

【0005】一方、時系列的な情報を扱う教育システムとしては、ロジックアナライザなどの測定器を用いて、時系列上に情報を把握するようにしたものがあった（第2の従来技術）。このように論理回路を時系列上で把握しようとすることは教育上甚だ効果的であることから、このような教育システムの開発が望まれる。

## 【0006】

【発明が解決しようとする課題】しかしながら、この第1の従来技術にあつては、上述したような静的な情報に基づく発光ダイオードによる教育システムであるため、複雑な順序回路の習得は甚だ困難であつた。

【0007】また、第2の従来技術にあつては、高価な測定器を別途必要とし、しかも、大人数を対象とする教育においては高価な測定器を人数分用意することは甚だ困難であるため、実際には、前記測定器を使用しない方法で、すなわち、当該論理回路に手動でクロックを送りながら、時系列の動作を演習者が自ら紙に書き出すなど

の方法によっていた。

【0008】このような演習方法では、手間や時間がかかるという欠点があり、しかも、間違ったデータを取り込んでしまったりして演習の効果が上がらないという欠点があった。

【0009】さらにまた、従来の論理回路の教育設備では、連続動作をするときに、特定の条件で動作を停止する手段は提供されておらず、回路の特定の事象を条件によってとらえることは困難であった。そのため、論理回路教育は、コンピュータ上の論理シミュレータなどで代用し、実際に、論理回路の設計まで行わずに済ませる場合が多く、効果的な教育が行われていなかった。

【0010】本発明は、教育用の設備が安価であって、論理回路を時系列的に動作させたときに時系列情報を含む情報把握を容易にし、かつ、対話的に実験を行うことができ、しかも効果的な教育を実施できる論理回路教育システムを提供することを目的としている。

【0011】

【課題を解決するための手段】かかる目的を達成するために、請求項1記載の発明は、論理回路の設計を行い当該論理回路の動作の検証を行うことによって論理回路の働きを把握させる論理回路教育システムにおいて、論理構成データに応じて多種多様の論理を実現しかつその実現された論理回路から所定の情報を読み込むスキャン機能を有するプログラム式論理形成手段と、前記プログラム式論理形成手段に論理構成データを与えかつ前記プログラム式論理形成手段に実現された論理回路に所定の信号を与えてその動作を観測できる論理観測制御手段とを備えるようにしている。

【0012】したがって、請求項1記載の発明では、実際に設計した論理回路がプログラム式論理形成手段の内部に実現されることになり、かつ、その論理回路からの所定の情報を読み込んで当該論理回路の入出力関係を論理観測制御手段に得ておき、その実現された論理回路に観察に必要な動作関連信号を論理観測制御手段から与えると同時に当該論理回路の出力を論理観測制御手段に取り込み、前記読み込んでおいた論理回路の入出力関係に関連付けて当該論理回路の動作を観察できる。

【0013】また、請求項2記載の発明では、請求項1において、前記プログラム式論理形成手段は、外部より与えられた論理構成データを記憶しその論理構成データを基に具体的な論理回路を実現できる手段及びその実現された論理回路の所定の情報を読み込むバウンダリスキャン機能を有するターゲットデバイスからなることを特徴とする。

【0014】この論理構成データを記憶していて、この記憶データを基にターゲットデバイスの内部に具体的な論理回路を実現させている。また、このターゲットデバイスにはバウンダリスキャン機能が備わっており、このバウンダリスキャン機能が駆動されると、その論理回路

の入出力ピン等の関連情報が得られることになる。

【0015】また、請求項3記載の発明では、請求項1において、前記プログラム式論理形成手段には、前記論理観測制御手段の制御下に書き込み読み出しできるユーザメモリが設けられており、当該ユーザメモリから読み出したデータを他の信号とともに観測に使用可能にしている。

【0016】このユーザメモリは、前記論理観測制御手段の制御の下にユーザが自由にデータを書き込むことができるし、また、格納されているデータを読み出すこともできる。このユーザメモリから読み出したデータは、他の観測データとともに観測に使用できる。例えば、このユーザメモリから読み出したデータを他の観測データとともに表示に使用するようにしてもよい。

【0017】また、請求項4記載の発明では、請求項2において、前記ターゲットデバイスが、フィールド・プログラマブル・ゲート・アレイ、フィールド・プログラマブル・ロジック・アレイ、フィールド・プログラマブル・ロジック・シーケンサー、あるいは、プログラマブル・ロジック・アレイによって構成すればよい。

【0018】前記ターゲットデバイスは各種のプログラム可能な集積回路により、多種多様の論理を実現することができる。

【0019】請求項5記載の発明では、請求項1から4までのいずれかにおいて、前記論理観測制御手段は、手動による必要な情報を取り込むとともに表示情報を出ししかつ前記プログラム式論理形成手段との間で作動関連信号の交換をするインタフェース手段と、前記インタフェース手段からの論理構成データの供給及び前記インタフェース手段との間で作動関連信号の交換をし、かつ、前記スキャン機能からのスキャンデータを取込むとともに取り込んだ観測データの編集等処理する演算処理手段とを備えるようにしている。

【0020】このインターフェース手段は、手動による情報をプログラム式論理形成手段に与え、表示すべき表示情報を表示手段に表示し、かつ、演算処理手段からのデータをプログラム式論理形成手段に与えるとともに、プログラム式論理形成手段からの出力データも演算処理手段に与えるようにしている。

【0021】請求項6記載の発明では、請求項5において、前記演算処理手段は、論理構成データの書換えを行う書換え手段と、所定の数のクロックを供給できるクロック供給手段と、前記ターゲットデバイスのスキャン機能を駆動して実現された論理回路の所定の情報を収集する収集手段と、収集したデータを編集する編集手段と、外部の端末と通信回線を介して接続され当該端末からの論理構成データを取込むとともに編集した観測データを端末に送出する通信手段と、前記収集した入出力関係のあらかじめ指定した部分があらかじめ指定した値となったか否かを判定する特定条件判定手段と、動作停止要求

によりクロック信号の連続発行を中断する中断手段とを備えるようにしている。

【0022】前記演算手段において、替換え手段は論理構成データをプログラム式論理形成手段に与えてプログラム内に論理回路を構築し、また、クロック供給手段はプログラム式論理形成手段内に構築された論理回路に観察に必要なクロックを与えることができ、また、収集手段は前記ターゲットデバイスのスキャン機能を駆動して構築された論理回路の状態を読み込み、編集手段は論理回路から読み込んだデータを表示するために編集し、また、通信手段は外部端末とのデータの交換を行い、中断手段は動作中断要求があれば動作を中断させ、特定条件判定手段は論理回路の所定の信号が特定の状態になったときに動作を停止させる。

【0023】請求項7記載の発明では、請求項5または6において、前記インタフェース手段には、手動により実現された論理回路を観測するのに必要な信号を入力するスイッチ手段と、実現された論理回路の観測された信号を表示させる表示手段とが接続されていることを特徴とする。

【0024】したがって、構築された論理回路にスイッチ手段によって手動でクロック等を与えることができ、また、論理回路からのデータを必要に応じて表示手段に表示させることができる。

【0025】請求項8記載の発明では、請求項6において、前記端末は、論理回路の設計ができかつ演算処理手段で編集した観測データを表示でき、かつ、通信回路・通信手段を介して演算処理手段に接続されていて通信回路・通信手段によって論理構成データの送り出し、ならびに、観測データの取り込むことができるようにしている。

【0026】このような端末によって、対話的に論理回路の設計ができ、また、演算処理手段で編集した論理回路の観測データを取込み表示することができる。

【0027】

【発明の実施の形態】以下、本発明の構成を図面に示す実施の一形態に基づいて詳細に説明する。

【0028】図1に、本発明の実施の形態を実現する装置を示す。この論理回路教育システムは、端末であるコンピュータ装置1と、このコンピュータ装置1に通信回路2で接続された回路トレーニング装置3とで実現される。

【0029】上述したコンピュータ装置1は、図示しないが、例えばパーソナルコンピュータ本体、CRTディスプレイ、キーボード、マウス、プリンタ及び外部記憶装置等から構成されている。また、前記パーソナルコンピュータ本体には、オペレーティングシステム及びアプリケーションプログラムである論理CAD (Computer Aided Design) プログラムが格納されている。

【0030】上述した回路トレーニング装置3は、大別

すると、プログラム式論理形成手段31と、論理観測制御手段32とからなる。

【0031】このプログラム式論理形成手段31は、論理構成データに応じて多種多様の論理を実現できる手段と、その実現された論理回路から所定の情報を読み込むスキャン機能とを有する。さらに詳細には、このプログラム式論理形成手段31は、前記論理構成データを記憶しておき、この論理構成データで具体的な論理回路を実現する手段と、かつその手段の内部に実現された論理回路における入出力ピンの関連情報を読み込むことができるバウンダリスキャン機能とを有するターゲットデバイス34で構成すればよい。また、ターゲットデバイス34は、この実施の形態では、フィールド・プログラマブル・ゲート・アレイ (FPGA) で構成している。バウンダリスキャン回路は一般的なLSIにはほとんど備えられている。本実施形態では、それをボード上のCPUから動作させて信号解析に使用している (図1のJTAGより駆動)。因みに、Config はFPGA構成データ設定信号である。

【0032】なお、このプログラム式論理形成手段31には、また、ユーザメモリ33が設けられている。前記ユーザメモリ33は、本装置を操作する演習者が自由に使うことができる。当該ユーザメモリ33は、具体的には、例えば16 [ビット] × 4 [キロワード] のSRAM (Static Random Access Memory) を2個で構成している。このユーザメモリ33は、演算処理手段36の制御の下で読み出し書き込みができる。このユーザメモリ33から読み出したデータは、演算処理手段36を介してコンピュータ装置1に送られて、コンピュータ装置1のCRTディスプレイ上に他の信号とともに信号解析画面として表示できるようになっている。また、このユーザメモリ33には、例えばクロックの停止条件として特定番地の内容を停止条件に入れたり他の条件等を記憶させておいて、ターゲットデバイス34に与えられるようにしたり、演算処理手段36に与えられるようにもできるようになっている。このようにユーザメモリ33は、例えばターゲットデバイス34に多種多様の論理回路を構成させるために利用することができるようになっている。

【0033】上述した論理観測制御手段32は、プログラム式論理形成手段31に論理構成データを与え、かつそのプログラム式論理形成手段31の内部に実現された論理回路に所定の信号を与えてその動作を観測できる。さらに詳細には、上述した論理観測制御手段32は、手動で入力する情報を取り込めるとともに表示情報を出力でき、かつ前記プログラム式論理形成手段31との間で作動関連信号の交換をするインタフェース手段35と、前記インタフェース手段35からの論理構成データの供給及び前記インタフェース手段35との間で作動関連信号の交換をし、かつ、前記スキャン機能からのスキャン

データの取込むとともに取り込んだ観測データの編集等  
を処理する演算処理手段36とを備えている。

【0034】インタフェース手段35には、端子(MCK、MRS)にスイッチ37、38がそれぞれ接続されており、また、7セグメントの発光ダイオードで構成された表示デバイス39が接続されている。なお、インタフェース手段35には、端子(CLK)、端子(RST)、端子(BUS)等が設けられている。このインタフェース手段35は、スイッチ37から端子MCKを介してターゲットデバイス34に手動のクロックを入力できるようにしており、また、演算処理手段36から制御線(I/O)を介してクロックを入力できるようにしている。

【0035】また、演算処理手段36は、具体的には、カードCPU基板からなり、このカードCPU基板は、図示しないが、演算処理コア、ROM、RAM、入出力ポート、通信ポート等を搭載している。また、この演算処理手段36には、通信ポート(COM1)、制御線(I/O)、メモリ制御端子(MEM)、制御線(LPT1)が備わっている。

【0036】また、前記演算処理手段36は、その内部に記憶されたプログラムを実行することにより、論理構成データの書換えを行う書換え手段と、所定の数のクロックを供給できるクロック供給手段と、前記ターゲットデバイスのスキャン機能を駆動して実現された論理回路の所定の情報を収集する収集手段と、収集したデータを編集する編集手段と、外部の端末と通信回線を介して接続され当該端末からの論理構成データを取込むとともに編集した観測データを端末に送出する通信手段と、前記収集した入出力関係のあらかじめ指定した部分があらかじめ指定した値となったとき、端末からの動作停止要求によりクロック信号の連続発行を中断する中断手段とが実現される。

【0037】この演算処理手段36には、制御線(I/O)を介してインタフェース手段35が接続されている。また、インタフェース手段35の端子(CLK、RST)には、ターゲットデバイス34が接続されている。ターゲットデバイス34とユーザメモリ33とインタフェース手段35とはバスラインで接続されている。また、ユーザメモリ33は、メモリ制御線を介してメモリ制御端子(MEM)に接続されている。また、演算処理手段36には、制御線(LPT1)介してターゲットデバイス34が接続されている。

【0038】このように構成された論理回路教育システムの動作について図1を基に図2ないし図3を参照して説明する。図2に、回路トレーニング装置の演算処理手段の論理回路観察動作を説明するためのフローチャートを示す。また、図3に、観察した論理回路のデータをコンピュータ装置のCRTディスプレイに表示した表示例を示す。

【0039】この論理回路教育システム1では、端末であるコンピュータ装置1が通信回線2を介して回路トレーニング装置3に接続されており、回路トレーニング装置3をコンピュータ装置1から対話的に利用することができる。

【0040】また、学生等の演習者は、コンピュータ装置1のCRTディスプレイ(図示せず)を見ながら、マウス等の入力装置を操作して、論理回路を設計する。また、コンピュータ装置1は、設計終了のボタンが操作されたか否かを判定しており、設計終了のボタンが操作されない限り設計が継続されているものとして動作している。

【0041】ここで、演習者が論理回路の設計が完了したものと設計終了ボタンを操作すると、コンピュータ装置1はその操作を検出して、当該設計した論理構成データを通信回線2を介して回路トレーニング装置3の演算処理手段36に書き込む。また、この論理回路の動作を観察するために与えるクロック数もコンピュータ装置1から回路トレーニング装置3の演算処理手段36のクロック供給手段に書き込んでおく。

【0042】その後、演算処理手段36の内部に記憶されたプログラムによって実現されている書換え手段は、制御線(LPT1)を介してターゲットデバイス34に論理構成データを書き込む。

【0043】また、ターゲットデバイス34に供給するクロック信号は、スイッチ37からインタフェース手段35の端子(MCK)、クロック端子(CLK)介してターゲットデバイス34のクロック入力端子に入力できる。また、ターゲットデバイス34に供給するクロック信号は、演算処理手段36の制御線(I/O)、インタフェース手段35及びそのクロック端子(CLK)を介してもターゲットデバイス34のクロック入力端子に供給できる。

【0044】これでターゲットデバイス34内に構成された論理回路の観察が可能になる。

【0045】このような状態になると、演算処理手段36から観察可能なメッセージがコンピュータ装置1に与えられる。すると、演習者は、コンピュータ装置1を操作して観察するに必要なクロックの数を指定し演算処理手段36のクロック供給手段に書き込む。同様に、コンピュータ装置1から、論理回路があらかじめ設定した条件に達したときに停止するような指令も演算処理手段36の特定条件判定手段に書き込む。

【0046】そして、演習者はコンピュータ装置1を操作して演算処理手段36に図2のフローチャートを実行させる。

【0047】まず、演算処理手段36のクロック供給手段は、指定された回数に従ってクロックパルスを発行する(図2のS101)。ついで、演算処理手段36の収集手段は、その内部のプログラム制御によってバウンダ

リスキャンインターフェース(JTAG)を介して、ターゲットデバイス34のバウンダリスキャン機能を駆動し、ターゲットデバイス34内に構成されている論理回路の入出力ピンの動作レベルを演算処理手段36の収集手段に読み出す(S102)。

【0048】ついで、前記演算処理手段36によって実現されている編集手段は、読み出した入出力ピン情報を通信回線2を介してコンピュータ装置1に時系列に表示するために情報の編集を行う(S103)。演算処理手段36によって実現されている通信手段は、この編集した結果を通信回線2を介してコンピュータ装置1に送出する。

【0049】次に、演算処理手段36によって実現されている中断手段は、中断要求があるか判定する(S104)。中断要求があったと演算処理手段36が判定したときには(S104:YES)、演算処理手段36の中断手段は、論理回路の観測動作を中断して処理を終了する。なお、中断要求は、基本的には、演習者によってコンピュータ装置1を介して要求される。

【0050】また、中断要求がないと演算処理手段36が判定したときには(S104:NO)、演算処理手段36によって実現されている特定条件判定手段は、コンピュータ装置1から指定されたとおりの、ある決められた信号がある特定の値になったと判定したときに(S105:YES)、クロック供給手段に指令を与えて論理回路の動作の特定箇所でクロックを停止する。これにより、論理回路の現象を観測することができる。

【0051】一方、ある決められた信号がある特定の値にならなかったと演算処理手段36で実現されている特定条件判定手段が判定したときには(S105:NO)、演算処理手段36のクロック供給手段は発行済のクロック数をチェックする(S106)。

【0052】ここで、演算処理手段36のクロック供給手段は、発行済のクロックがいまだ指定された数に達していないと判定したときには(S106:NO)、演算処理手段36は、再びステップ101の処理に戻り、ステップ101からの処理を実行してゆく。

【0053】演算処理手段36のクロック供給手段は、発行済のクロックが指定された数に達したときに(S106:YES)、処理を終了する。

【0054】このように指定されたクロックの数が終了するまで(S101~S106:NO)、演算処理手段36は、ターゲットデバイス34に構築された論理回路にクロックを与え、必要なピン情報を取り込み、それを編集してコンピュータ装置1に送出している。

【0055】コンピュータ装置1では、当該情報を表示編集してCRTディスプレイに表示する。すると、CRTディスプレイには、図3に示すような、クロック、論理回路のピン、それに関連するデータに関する画面200が得られることになる。

【0056】画面200は、図3に示すように、画面左上に、「FPGA SIGNAL ANALYZER」、その下に、「(Def/Run/Step/Break/Clear/Quit) >:」と表示されており、さらに下側に「mwt mrd iadr inst dadr data r1 r2 r3 mx30」と表示されており、さらにその下に「CLK」、また、上の「mwt mrd ~ mx30」に合わせて「A ... B...C... ~J ...」と表示されている。即ち、2行目の「>」以降には、決められた書式で信号の定義(Def)、実行(Run)、クロック数指定実行(Step)、停止条件式(Break)、停止条件解除(Clear)、終了(Quit)などのコマンドを入力する。信号定義では画面のA~Jまでのどの位置に表示するかを指定するとともに、演習者自身が使いやすいように信号の名前を入力することができる。その名前は画面上mwt, mrd, ..., mx30などのように表示される(信号はFPGAのピンの電圧かメモリの内容を選択できる)。本実施形態の場合、mwt:メモリライト信号、mrd:メモリーリード信号、iadr:命令アドレス、inst:命令、dadr:データアドレス、data:データ、r1~r3はレジスタr1, r2, r3の内容、mx30はメモリ30番地の内容をそれぞれ表示する例になっている。また、これらの下に、観測したデータが図3に示すように表示されている。また、この画面の表示は、一つの例であって、これに限定されるものではない。

【0057】以上説明したように、この実施の形態では、設計した論理回路がプログラム式論理形成手段31の内部に実現されることになり、かつ、その論理回路からの所定の情報を読み込んで当該論理回路の入出力関係を論理観測制御手段32に待ておき、その実現された論理回路に観測に必要な動作関連信号を論理観測制御手段32から与えるとともに当該論理回路の出力を論理観測制御手段32に取り込み、前記読み込んでおいた論理回路の入出力関係に関連つけて当該論理回路の動作をコンピュータ装置1のCRTディスプレイ等に表示して観測できるようにしている。

【0058】したがって、本発明の実施の形態によれば、次のような利点がある。

1. 論理回路動作をコンピュータ装置1から時系列に観測することが可能となり、回路動作の理解を深め学習効果が向上する。
2. 回路の特定な状況の発生によってクロックの発行を止めることにより問題の解析が容易となる。
3. 高価な測定器を用いずにパーソナルコンピュータ等のコンピュータ装置1を用意するだけで高度な学習が可能になる。

【0059】なお、上記実施の形態では、ターゲットデバイス34に、FPGAを用いたが、これに限らず、例えば、フィールド・プログラマブル・ロジック・アレイ(FPLA)、フィールド・プログラマブル・ロジック・シーケンサ(FPLS)、あるいは、プログラマブ



ル・ロジック・アレイ（PLA）等によって構成してもよい。

【0060】また、本発明の実施の形態では、スイッチ37を用いて手動で、インタフェース手段35を介し、ターゲットデバイス34の内部に構築された論理回路にクロックを与えることにより、論理回路の観察が可能になる。この際に、7セグメントの発光ダイオードで構成した表示デバイス39に論理回路の動作を表示させることもできる。

【0061】この場合には、ターゲットデバイス34の内部に構築された論理回路の動作をリアルタイムに1ステップずつ確認することができる。

【0062】

【発明の効果】本発明の論理回路教育システムによれば、次のような効果がある。

1. 論理回路動作を端末から時系列に観測することが可能となり、回路動作の理解を深め学習効果が向上する。
2. 中断手段によって、論理回路の特定の状況が発生したときに、クロックの発行を止めることができるので、論理回路の問題の解析が容易となる。
3. 単に、パーソナルコンピュータ等から構成したコン

ピュータ装置を端末としたので、高度な学習が安価な装置で実現できる。

【図面の簡単な説明】

【図1】本発明の実施の形態を示す構成図である。

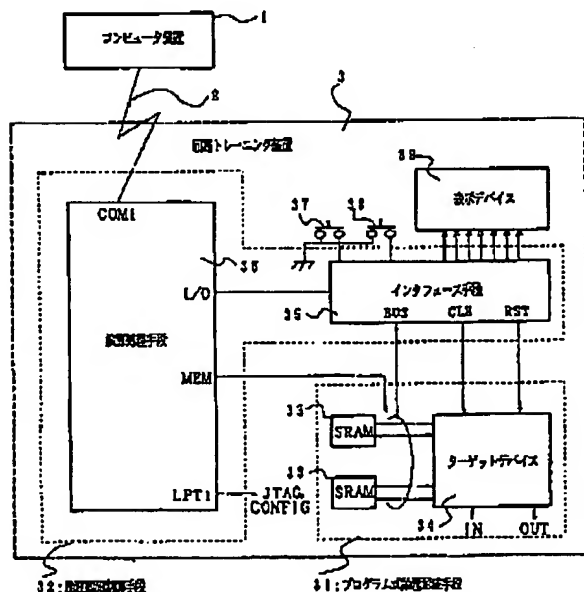
【図2】本発明の実施の形態における演算処理手段の動作を説明するためのフローチャートである。

【図3】本発明の実施の形態において得られる信号を時系列で表示した図である。

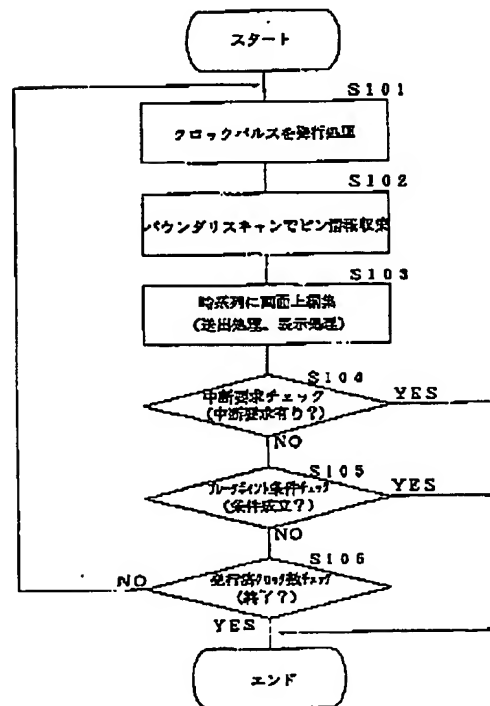
【符号の説明】

- 1 コンピュータ装置
- 2 通信回線
- 3 回路トレーニング装置
- 31 プログラム式論理形成手段
- 32 論理観測制御手段
- 33 ユーザメモリ
- 34 ターゲットデバイス
- 35 インタフェース手段
- 36 演算処理手段
- 37, 38 スイッチ
- 39 表示デバイス

【図1】



【図2】



【图3】

200

PPGA SIGNAL ANALYSIS										
(Set/Run/Step/Reset/Clear/Quit)>										
CLK	set	run	step	reset	clear	quit	data	ci	ri	ri
00c0	09	00a0	00	00	00	23	11	0023		
00c1	09	00a0	00	00	00	23	11	0023		
00c2	09	00a0	00	00	00	23	11	0023		
00c3	09	00a0	00	00	00	23	11	0023		
00c4	09	00a0	00	00	00	23	11	0023		
00c5	09	00a0	00	00	00	23	11	0023		
00c6	09	00a0	00	00	00	23	11	0023		
00c7	09	00a0	00	00	00	23	11	0023		
00c8	09	00a0	00	00	00	23	11	0023		
00c9	09	00a0	00	00	00	23	11	0023		
00ca	09	00a0	00	00	00	23	11	0023		
00cb	09	00a0	00	00	00	23	11	0023		
00cc	09	00a0	00	00	00	23	11	0023		
00cd	09	00a0	00	00	00	23	11	0023		
00ce	09	00a0	00	00	00	23	11	0023		
00cf	09	00a0	00	00	00	23	11	0023		
00d0	09	00a0	00	00	00	23	11	0023		
00d1	09	00a0	00	00	00	23	11	0023		
00d2	09	00a0	00	00	00	23	11	0023		
00d3	09	00a0	00	00	00	23	11	0023		
00d4	09	00a0	00	00	00	23	11	0023		
00d5	09	00a0	00	00	00	23	11	0023		
00d6	09	00a0	00	00	00	23	11	0023		
00d7	09	00a0	00	00	00	23	11	0023		
00d8	09	00a0	00	00	00	23	11	0023		
00d9	09	00a0	00	00	00	23	11	0023		
00da	09	00a0	00	00	00	23	11	0023		
00db	09	00a0	00	00	00	23	11	0023		
00dc	09	00a0	00	00	00	23	11	0023		
00dd	09	00a0	00	00	00	23	11	0023		
00de	09	00a0	00	00	00	23	11	0023		
00df	09	00a0	00	00	00	23	11	0023		
00e0	09	00a0	00	00	00	23	11	0023		
00e1	09	00a0	00	00	00	23	11	0023		
00e2	09	00a0	00	00	00	23	11	0023		
00e3	09	00a0	00	00	00	23	11	0023		
00e4	09	00a0	00	00	00	23	11	0023		
00e5	09	00a0	00	00	00	23	11	0023		
00e6	09	00a0	00	00	00	23	11	0023		
00e7	09	00a0	00	00	00	23	11	0023		
00e8	09	00a0	00	00	00	23	11	0023		
00e9	09	00a0	00	00	00	23	11	0023		
00ea	09	00a0	00	00	00	23	11	0023		
00eb	09	00a0	00	00	00	23	11	0023		
00ec	09	00a0	00	00	00	23	11	0023		
00ed	09	00a0	00	00	00	23	11	0023		
00ee	09	00a0	00	00	00	23	11	0023		
00ef	09	00a0	00	00	00	23	11	0023		
00f0	09	00a0	00	00	00	23	11	0023		
00f1	09	00a0	00	00	00	23	11	0023		
00f2	09	00a0	00	00	00	23	11	0023		
00f3	09	00a0	00	00	00	23	11	0023		
00f4	09	00a0	00	00	00	23	11	0023		
00f5	09	00a0	00	00	00	23	11	0023		
00f6	09	00a0	00	00	00	23	11	0023		
00f7	09	00a0	00	00	00	23	11	0023		
00f8	09	00a0	00	00	00	23	11	0023		
00f9	09	00a0	00	00	00	23	11	0023		
00fa	09	00a0	00	00	00	23	11	0023		
00fb	09	00a0	00	00	00	23	11	0023		
00fc	09	00a0	00	00	00	23	11	0023		
00fd	09	00a0	00	00	00	23	11	0023		
00fe	09	00a0	00	00	00	23	11	0023		
00ff	09	00a0	00	00	00	23	11	0023		